

BEST AVAILABLE COPY**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 2002-075994

(43)Date of publication of application : 15.03.2002

(51)Int.CI.

H01L 21/3205

H01L 21/768

(21)Application number : 2000-253794

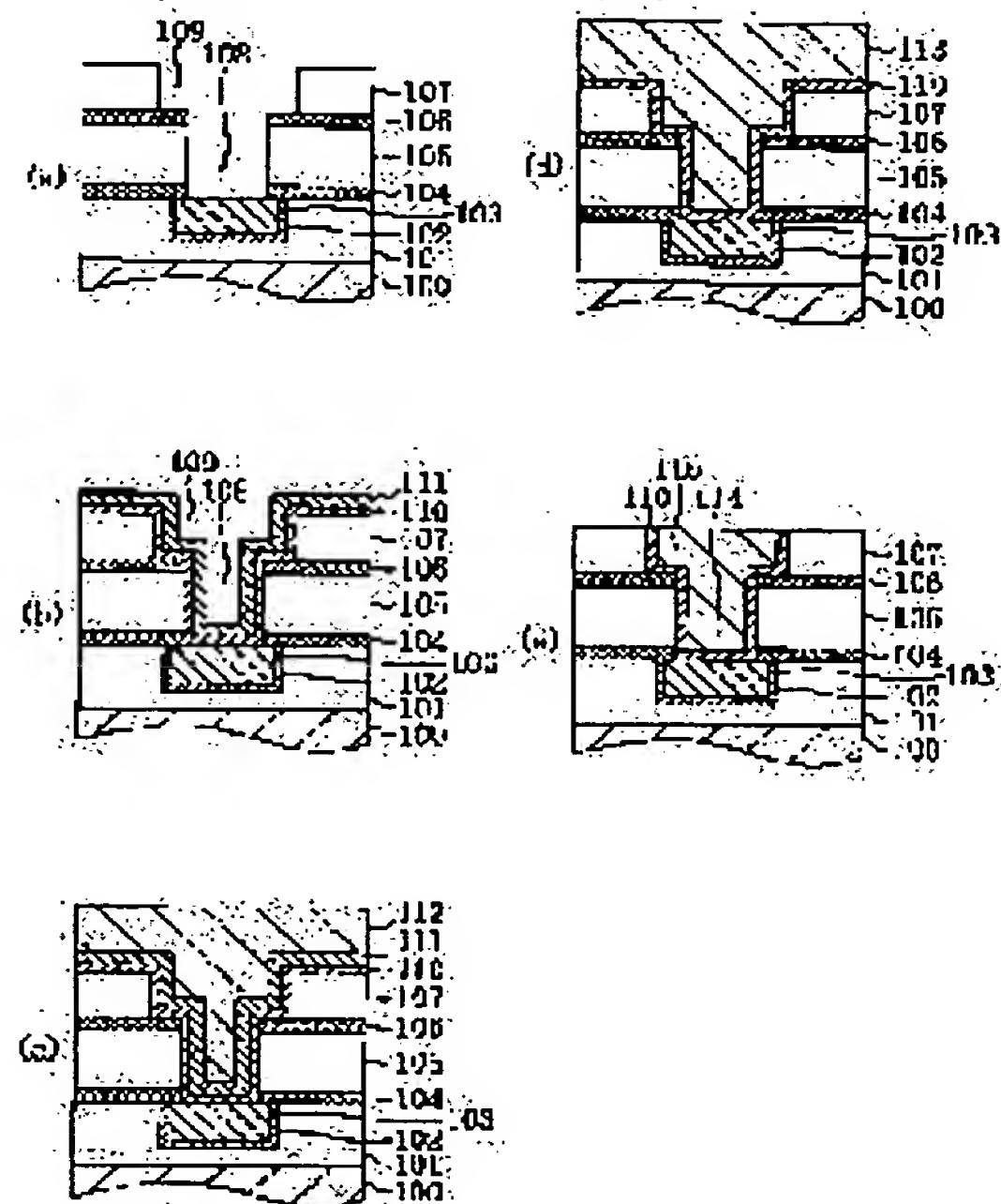
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.08.2000

(72)Inventor : SEKIGUCHI MITSURU
HARADA TAKASHI**(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD****(57)Abstract:**

PROBLEM TO BE SOLVED: To form a conductive film on a seed layer or a barrier metal film in recesses by electroplating while avoiding causing filling failures.

SOLUTION: After forming vias 108 and wiring trenches 109 in an insulation film on a semiconductor substrate 100, a second Ru barrier metal film 110 and a copper seed layer 111 are deposited in this order to the bottoms and the walls of the vias 108 and the trenches 109. By electroplating, a copper plating film 112 is grown on the seed layer 111 to perfectly fill up the vias 108 and the trenches 109. The seed layer 111 and the plating film 112 are integrated to form a wiring copper film 113, thereby forming vias 114 and second wirings 115 from the copper film 113.

**LEGAL STATUS**

[Date of request for examination] 24.05.2002

[Date of sending the examiner's decision of rejection] 30.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-75994

(P2002-75994A)

(43)公開日 平成14年3月15日 (2002.3.15)

(51)Int.Cl.⁷H 01 L 21/3205
21/768

識別記号

F I

H 01 L 21/88
21/90

テマコード(参考)

R 5 F 0 3 3
A

審査請求 未請求 請求項の数11 OL (全 17 頁)

(21)出願番号 特願2000-253794(P2000-253794)

(22)出願日 平成12年8月24日 (2000.8.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 関口 満

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 原田 剛史

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

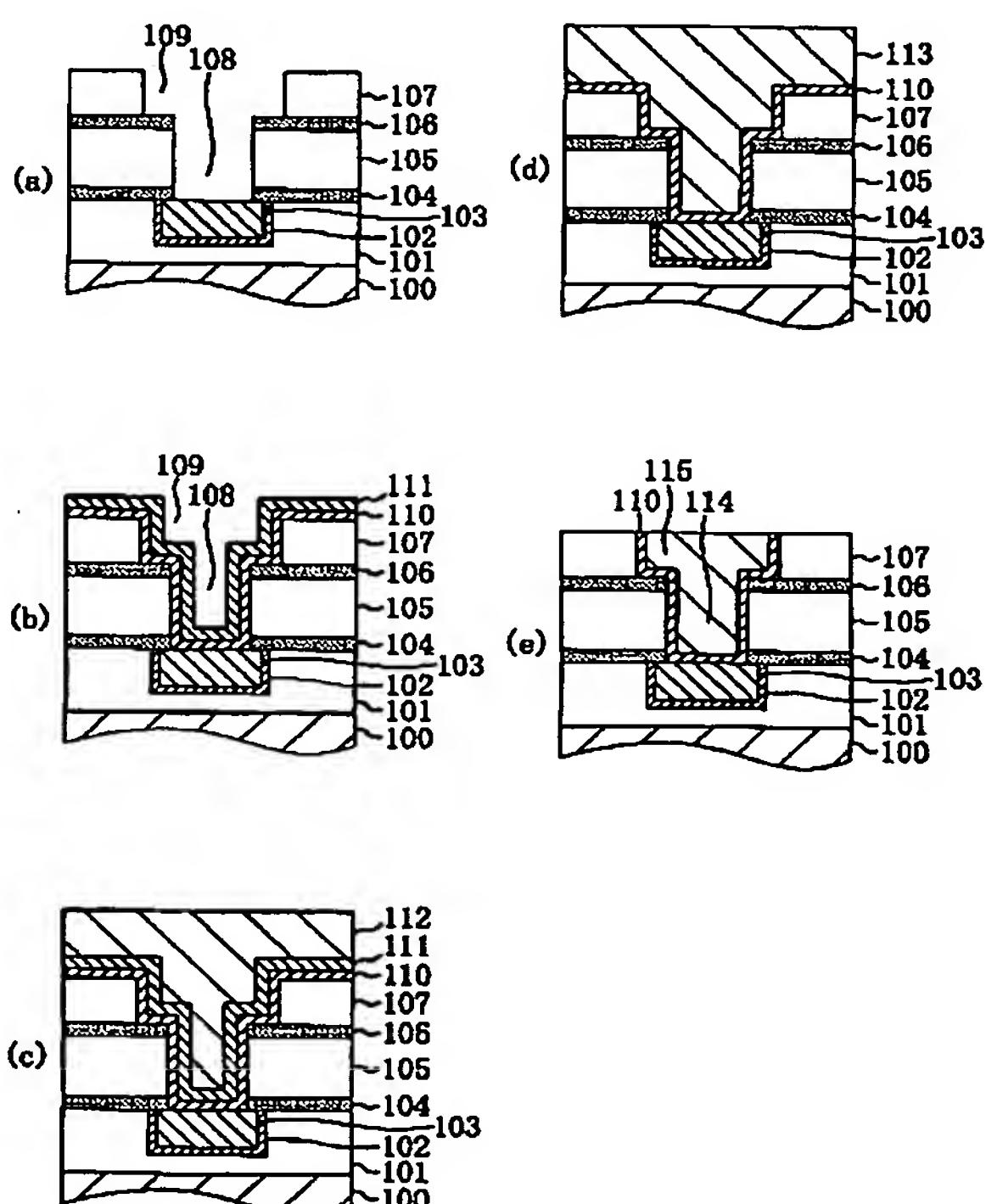
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上又はバリアメタル膜の上に導電膜を形成できるようにする。

【解決手段】 半導体基板100上の絶縁膜にビアホール108及び配線用溝109を形成した後、ビアホール108及び配線用溝109のそれぞれの底部及び壁面に、Ru膜からなる第2のバリアメタル膜110、及び銅シード層111を順次堆積する。電解メッキ法により銅シード層111の上に銅メッキ膜112を、ビアホール108及び配線用溝109のそれぞれが完全に埋まるよう成長させる。銅シード層111と銅メッキ膜112とを一体化して配線用銅膜113を形成することにより、配線用銅膜113からなるビア114及び第2の配線115を形成する。



(2)

1

【特許請求の範囲】

【請求項1】 基板上に形成された絶縁膜と、前記絶縁膜中に形成され、銅又は銅合金からなる埋め込み配線とを備えており、前記絶縁膜と前記埋め込み配線との間に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を有することを特徴とする半導体装置。

【請求項2】 基板上に形成された絶縁膜と、前記絶縁膜上に形成され、銅又は銅合金からなる配線とを備えており、前記絶縁膜と前記配線との間に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を有することを特徴とする半導体装置。

【請求項3】 前記金属は、Ru、Ir又はRu若しくはIrを含む合金であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記金属酸化物は、 RuO_2 、 IrO_2 又はRu若しくはIrを含む合金の酸化物であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】 基板上の絶縁膜に凹部を形成する工程と、前記凹部の壁面に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜と、銅又は銅合金からなる第1の導電膜とを順次堆積する工程と、電解メッキ法により前記第1の導電膜上に前記凹部が完全に埋まるように銅又は銅合金からなる第2の導電膜を成長させる工程と、前記第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成することにより、前記第3の導電膜からなる埋め込み配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項6】 基板上の絶縁膜の上に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜と、銅又は銅合金からなる第1の導電膜とを順次堆積する工程と、電解メッキ法により前記第1の導電膜上に銅又は銅合金からなる第2の導電膜を成長させる工程と、

前記第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成する工程と、配線形成領域を覆うマスクパターンを用いて、前記第3の導電膜に対してエッチングを行なうことにより、前記第3の導電膜からなる配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項7】 基板上の絶縁膜に凹部を形成する工程と、前記凹部の壁面に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を堆積する工程と、

特開2002-75994

2

前記バリアメタル膜上に前記凹部が完全に埋まるように銅又は銅合金からなる導電膜を形成することにより、前記導電膜からなる埋め込み配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項8】 基板上の絶縁膜の上に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を堆積する工程と、前記バリアメタル膜上に銅又は銅合金からなる導電膜を形成する工程と、

10 配線形成領域を覆うマスクパターンを用いて、前記導電膜に対してエッチングを行なうことにより、前記導電膜からなる配線を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項9】 前記導電膜は、スパッタ法により堆積された後に酸化還元性雰囲気中において流動されることを特徴とする請求項7又は8に記載の半導体装置の製造方法。

20 【請求項10】 前記金属は、Ru、Ir又はRu若しくはIrを含む合金であることを特徴とする請求項5～8のいずれか1つに記載の半導体装置の製造方法。

【請求項11】 前記金属酸化物は、 RuO_2 、 IrO_2 又はRu若しくはIrを含む合金の酸化物であることを特徴とする請求項5～8のいずれか1つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、銅配線を有する半導体装置及びその製造方法に関する。

【0002】

30 【従来の技術】 0.18 μm 世代以降のシリコンLSIにおいては、トランジスタの高速化に対して配線のCR成分による遅延が無視できなくなったため、従来のAl(比抵抗 $3 \mu\Omega \cdot \text{cm}$)に代えて、より低抵抗なCu(比抵抗 $1.7 \mu\Omega \cdot \text{cm}$)又はCuを主成分とする金属(以下、銅合金と称する)を配線材料に用いる検討が進んでいる。尚、本明細書においては、銅又は銅合金からなる配線を銅配線と称する。

【0003】 以下、従来の半導体装置の製造方法について、バリアメタル膜としてTa膜(比抵抗 $200 \sim 230 \mu\Omega \cdot \text{cm}$)を用いる銅配線製造技術を例として、図6(a)～(e)を参照しながら説明する。

【0004】 まず、図6(a)に示すように、半導体基板10上の第1の絶縁膜11中にTa膜からなる第1のバリアメタル膜12を通して銅膜からなる第1の配線13を埋め込む。その後、半導体基板10の上に第1のシリコン窒化膜14、第2の絶縁膜15、第2のシリコン窒化膜16、及び第3の絶縁膜17を順次堆積した後、第1のシリコン窒化膜14、第2の絶縁膜15及び第2のシリコン窒化膜16に、第1の配線13に達するピアホール18を形成すると共に、第3の絶縁膜17に、ビ

(3)

3

アホール18を介して第1の配線13に達する配線用溝19を形成する。このとき、第1のバリアメタル膜12又は第1のシリコン窒化膜14は、第2の絶縁膜15又は第2のシリコン窒化膜16等を堆積するときの400°C程度の熱処理により、第1の配線13を構成する銅原子が第1の絶縁膜11又は第2の絶縁膜15等の内部に拡散する事態を防止する。すなわち、第1のバリアメタル膜12又は第1のシリコン窒化膜14は、銅原子の拡散に対するバリア性を有している。

【0005】次に、図6(b)に示すように、ビアホール18及び配線用溝19のそれぞれの底部及び壁面に、Ta膜からなる第2のバリアメタル膜20、及び銅膜からなる銅シード層21をスパッタ法により順次堆積する。

【0006】次に、半導体基板10を取り出してメッキ装置から取り出してメッキ装置に搬入する。このとき、半導体基板10の表面つまり銅シード層21の表面が空気にさらされる。その後、図6(c)に示すように、電解メッキ法を用いて銅シード層21の上に銅メッキ膜22を、ビアホール18及び配線用溝19のそれぞれが完全に埋まるように成長させる。

【0007】次に、銅メッキ膜22の結晶粒を成長させるために銅メッキ膜22に対して熱処理(例えば100°C程度の温度下で2時間程度)を行なう。これにより、図6(d)に示すように、銅シード層21と銅メッキ膜22とが一体化して配線用銅膜23が形成される。

【0008】次に、図6(e)に示すように、配線用溝19の外側の第2のバリアメタル膜20及び配線用銅膜23を除去して、配線用銅膜23からなるビア24及び第2の配線25を形成する。これにより、ビア24を介して第1の配線13と第2の配線25とが接続される。

【0009】その後、図示は省略しているが、必要に応じて、図6(a)～(e)に示す工程(但し、図6(a)に示す工程については第1のシリコン窒化膜14を堆積する工程以降)を繰り返すことにより、所望の多層配線構造を形成する。

【0010】

【発明が解決しようとする課題】しかしながら、従来の半導体装置の製造方法においては、スパッタ法を用いて銅シード層21を堆積するときに、図7(a)に示すように、スパッタ法の指向性に起因して、銅シード層21におけるビアホール18の壁面上の部分が薄膜化し、それによって、第2のバリアメタル膜20におけるビアホール18の壁面上の部分が露出する可能性がある。前述のように、銅シード層21の堆積後に半導体基板10をスパッタ装置から取り出してメッキ装置に搬入するときに、半導体基板10の表面が空気にさらされるが、このとき、第2のバリアメタル膜20つまりTa膜が露出していると、該露出部分が空気にさらされて酸化されてしまう。その場合、Taの酸化物は非常に導電性が悪い誘

特開2002-75994

4

電体であるため、電解メッキ法により銅メッキ膜22を成長させてビアホール18を埋め込むときに、第2のバリアメタル膜20が酸化されている部分には電流が流れなくなる。その結果、図7(b)に示すように、ビアホール18等においてボイド等の埋め込み不良が発生してしまう。同様の問題は、第2のバリアメタル膜20としてTaN膜(比抵抗200～230μΩ・cm)、Ti膜(比抵抗50μΩ・cm)又はTiN膜(比抵抗200μΩ・cm)等を用いた場合にも生じる。

【0011】ところで、基板上の絶縁膜に形成された凹部に銅膜を埋め込むときに、電解メッキ法に代えて、例えばスパッタ+リフロー法又はCVD(chemical vapor deposition)法等を用いることができる。

【0012】電解メッキ法に代えてスパッタ+リフロー法を用いると共にスパッタ+リフロー法のうちのリフロー法として酸化還元リフロー法(第42回応用物理学会関係連合講演会予稿集(1995年春季), p810, Cu配線技術(1)～酸化・還元反応によるCuリフローの低温化～)を用いる場合、凹部が形成された絶縁膜上に、例えばTa膜からなるバリアメタル膜を介して厚い銅膜をスパッタ法により堆積した後、酸化還元リフロー法を用いて、酸化還元性雰囲気中で銅膜に対して酸化及び還元を繰り返し行ない、それにより生じる反応熱によって銅膜を流動させて凹部を埋め込む。ところが、銅膜に対して酸化を行なうときにバリアメタル膜つまりTa膜等も酸化されてバリアメタル膜の導電性が低下する結果、バリアメタル膜を含めた配線又はビア等の抵抗(以下、単に配線抵抗と称する)が増大してしまうという問題が生じる。同様の問題は、電解メッキ法、スパッタ+リフロー法又はCVD法等により絶縁膜(凹部が形成されていてもよい)上にバリアメタル膜を介して銅膜を形成した後に銅膜をパターニングして配線を形成する場合にも生じる。

【0013】前記に鑑み、本発明は、埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上又はバリアメタル膜の上に導電膜を形成できるようにすることを第1の目的とし、バリアメタル膜の酸化に起因して配線抵抗が増大しないようにすることを第2の目的とする。

【0014】

【課題を解決するための手段】前記の第1又は第2の目的を達成するために、本発明に係る第1の半導体装置は、基板上に形成された絶縁膜と、絶縁膜中に形成され、銅又は銅合金からなる埋め込み配線とを備えており、絶縁膜と埋め込み配線との間に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を有する。

【0015】第1の半導体装置によると、絶縁膜と埋め込み配線との間に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタ

(4)

5

ル膜が形成されている。このため、電解メッキ法により埋め込み配線となる導電膜が形成されている場合には、次のような効果が得られる。すなわち、絶縁膜に形成された凹部（配線用溝又はビアホール等）の壁面にバリアメタル膜及びシード層を順次堆積したときに、シード層のカバレッジが悪いことに起因してバリアメタル膜に露出部分が生じても、該露出部分が酸化によって導電性を失うことがない。従って、埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上又はバリアメタル膜の上に導電膜を形成することができる。また、電解メッキ法以外の方法により埋め込み配線となる導電膜が形成されている場合には、次のような効果が得られる。すなわち、凹部の壁面にバリアメタル膜を堆積した後に、例えば酸化性雰囲気中でバリアメタル膜の上に導電膜を形成するときにも、バリアメタル膜が酸化によって導電性を失うことがない。従って、バリアメタル膜の酸化に起因して配線抵抗が増大する事態を防止できる。

【0016】前記の第2の目的を達成するために、本発明に係る第2の半導体装置は、基板上に形成された絶縁膜と、絶縁膜上に形成され、銅又は銅合金からなる配線とを備えており、絶縁膜と配線との間に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を有する。

【0017】第2の半導体装置によると、絶縁膜と配線との間に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜が形成されている。このため、絶縁膜上にバリアメタル膜を堆積した後に、例えば酸化性雰囲気中でバリアメタル膜の上に配線用導電膜を形成するときにも、バリアメタル膜が酸化によって導電性を失うことがない。従って、バリアメタル膜の酸化に起因して配線抵抗が増大する事態を防止できる。

【0018】第1又は第2の半導体装置において、金属は、Ru、Ir又はRu若しくはIrを含む合金であることが好ましい。

【0019】このようにすると、バリアメタル膜が酸化によって導電性を失うことを確実に防止できる。

【0020】第1又は第2の半導体装置において、金属酸化物は、RuO₂、IrO₂又はRu若しくはIrを含む合金の酸化物であることが好ましい。

【0021】このようにすると、バリアメタル膜が酸化によって導電性を失うことを確実に防止できる。

【0022】前記の第1の目的を達成するために、本発明に係る第1の半導体装置の製造方法は、基板上の絶縁膜に凹部を形成する工程と、凹部の壁面に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜と、銅又は銅合金からなる第1の導電膜とを順次堆積する工程と、電解メッキ法により第1の導電膜上に凹部が完全に埋まるように銅又は銅

特開2002-75994

6

合金からなる第2の導電膜を成長させる工程と、第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成することにより、第3の導電膜からなる埋め込み配線を形成する工程とを備えている。

【0023】第1の半導体装置の製造方法によると、基板上の絶縁膜に形成された凹部の壁面に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜と、第1の導電膜とを順次堆積した後、電解メッキ法により第1の導電膜上に凹部が完全に埋まるように第2の導電膜を成長させ、その後、第1の導電膜と第2の導電膜とが一体化した第3の導電膜からなる埋め込み配線を形成する。このため、凹部の壁面にバリアメタル膜及び第1の導電膜つまりシード層を順次堆積したときに、シード層のカバレッジが悪いことに起因してバリアメタル膜に露出部分が生じても、該露出部分が酸化によって導電性を失うことがない。従って、埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上又はバリアメタル膜の上に第2の導電膜を形成することができる。

【0024】前記の第2の目的を達成するために、本発明に係る第2の半導体装置の製造方法は、基板上の絶縁膜の上に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜と、銅又は銅合金からなる第1の導電膜とを順次堆積する工程と、電解メッキ法により第1の導電膜上に銅又は銅合金からなる第2の導電膜を成長させる工程と、第1の導電膜と第2の導電膜とを一体化して第3の導電膜を形成する工程と、配線形成領域を覆うマスクパターンを用いて、第3の導電膜に対してエッチングを行なうことにより、第3の導電膜からなる配線を形成する工程とを備えている。

【0025】第2の半導体装置の製造方法によると、基板上の絶縁膜の上に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜と、第1の導電膜とを順次堆積した後、電解メッキ法により第1の導電膜上に第2の導電膜を成長させ、その後、第1の導電膜と第2の導電膜とが一体化した第3の導電膜に対してエッチングを行なって配線を形成する。このため、絶縁膜の上にバリアメタル膜及び第1の導電膜つまりシード層を順次堆積したときに、シード層のカバレッジが悪いことに起因してバリアメタル膜に露出部分が生じても、該露出部分が酸化によって導電性を失うことがない。従って、バリアメタル膜の酸化に起因して配線抵抗が増大する事態を回避できる。

【0026】前記の第2の目的を達成するために、本発明に係る第3の半導体装置の製造方法は、基板上の絶縁膜に凹部を形成する工程と、凹部の壁面に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を堆積する工程と、バリアメタル膜上に凹部が完全に埋まるように銅又は銅合金から

なる導電膜を形成することにより、導電膜からなる埋め込み配線を形成する工程とを備えている。

【0027】第3の半導体装置の製造方法によると、基板上の絶縁膜に形成された凹部の壁面に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を堆積した後、バリアメタル膜上に凹部が完全に埋まるように導電膜を形成することによって埋め込み配線を形成する。このため、凹部の壁面にバリアメタル膜を堆積した後に、例えば酸化性雰囲気中でバリアメタル膜の上に導電膜を形成するときにも、バリアメタル膜が酸化によって導電性を失うことがない。従って、バリアメタル膜の酸化に起因して配線抵抗が増大する事態を防止できる。

【0028】前記の第2の目的を達成するために、本発明に係る第4の半導体装置の製造方法は、基板上の絶縁膜の上に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を堆積する工程と、バリアメタル膜上に銅又は銅合金からなる導電膜を形成する工程と、配線形成領域を覆うマスクパターンを用いて、導電膜に対してエッチングを行なうことにより、導電膜からなる配線を形成する工程とを備えている。

【0029】第4の半導体装置の製造方法によると、基板上の絶縁膜の上に、酸化されても導電性を失わない金属、又は導電性を有する金属酸化物からなるバリアメタル膜を堆積した後、バリアメタル膜上に導電膜を形成し、その後、導電膜に対してエッチングを行なって配線を形成する。このため、絶縁膜上にバリアメタル膜を堆積した後に、例えば酸化性雰囲気中でバリアメタル膜の上に導電膜を形成するときにも、バリアメタル膜が酸化によって導電性を失うことがない。従って、バリアメタル膜の酸化に起因して配線抵抗が増大する事態を防止できる。

【0030】第3又は第4の半導体装置の製造方法において、導電膜は、スパッタ法により堆積された後に酸化還元性雰囲気中において流動されることが好ましい。

【0031】このようにすると、導電膜のカバレッジが良くなる。

【0032】第1、第2、第3又は第4の半導体装置の製造方法において、金属は、Ru、Ir又はRu若しくはIrを含む合金であることが好ましい。

【0033】このようにすると、バリアメタル膜が酸化によって導電性を失うことを確実に防止できる。

【0034】第1、第2、第3又は第4の半導体装置の製造方法において、金属酸化物は、RuO₂、IrO₂又はRu若しくはIrを含む合金の酸化物であることが好ましい。

【0035】このようにすると、バリアメタル膜が酸化によって導電性を失うことを確実に防止できる。

【0036】

【発明の実施の形態】(第1の実施形態)以下、本発明の第1の実施形態に係る半導体装置及びその製造方法について、図1(a)～(e)を参照しながら説明する。

【0037】まず、図1(a)に示すように、半導体基板100上の第1の絶縁膜101中に例えればTa膜からなる第1のバリアメタル膜102を介して例えれば銅膜からなる第1の配線103を埋め込む。その後、半導体基板100の上に第1のシリコン窒化膜104、第2の絶縁膜105、第2のシリコン窒化膜106、及び第3の絶縁膜107を順次堆積した後、第1のシリコン窒化膜104、第2の絶縁膜105及び第2のシリコン窒化膜106に、第1の配線103に達する深さ約500nmのビアホール108を形成すると共に、第3の絶縁膜107に、ビアホール108を介して第1の配線103に達する深さ約300nmの配線用溝109を形成する。このとき、第1のバリアメタル膜102又は第1のシリコン窒化膜104は、第2の絶縁膜105又は第2のシリコン窒化膜106等を堆積するときの400℃程度の熱処理(例えればプラズマCVD法等)により、第1の配線103を構成する銅原子が第1の絶縁膜101又は第2の絶縁膜105等の内部に拡散する事態を防止する。すなわち、バリアメタル膜102又は第1のシリコン窒化膜104は、銅原子の拡散に対するバリア性を有している。

【0038】次に、図1(b)に示すように、例えればスパッタ法により半導体基板100の上に膜厚25nmのRu(ルテニウム)膜からなる第2のバリアメタル膜110を堆積した後、例えればスパッタ法により第2のバリアメタル膜110の上に膜厚150nmの銅膜からなる銅シード層111を堆積する。これにより、ビアホール108及び配線用溝109のそれぞれの底部及び壁面が第2のバリアメタル膜110及び銅シード層111により覆われる。

【0039】次に、半導体基板100をスパッタ装置から取り出してメッキ装置に搬入する。このとき、銅シード層111のカバレッジが悪いことに起因して第2のバリアメタル膜110に露出部分があると、該露出部分が空気にさらされて酸化する。しかし、第2のバリアメタル膜110を構成するRuの比抵抗が7.5μΩ·cmであるのに対して、Ruの酸化物であるRuO₂の比抵抗は35μΩ·cmであるので、第2のバリアメタル膜110は酸化されても導電性を失わない。

【0040】その後、図1(c)に示すように、電解メッキ法により銅シード層111の上に膜厚500nmの銅メッキ膜112を、ビアホール108及び配線用溝109のそれぞれが完全に埋まるように成長させる。具体的には、半導体基板100をCuSO₄及びH₂SO₄等を含むメッキ液に浸漬した後、半導体基板100が負電位となるように電解メッキ法を実施する。このとき、ビアホール108の壁面上等で銅シード層111により第

(6)

9

2のバリアメタル膜110が覆われていない場合にも、第2のバリアメタル膜110が酸化によって導電性を失うことがないので、銅メッキ膜112によりビアホール108及び配線用溝109のそれぞれを確実に埋め込むことができる。

【0041】次に、半導体基板100をメッキ装置から取り出した後、銅メッキ膜112の結晶粒を成長させるために銅メッキ膜112に対して熱処理（例えば100°C程度の温度下で2時間程度）を行なう。これにより、図1(d)に示すように、銅シード層111と銅メッキ膜112とが一体化して配線用銅膜113が形成される。尚、銅メッキ膜112に対して前述の熱処理を行なう代わりに、半導体基板100を室温下で2日間程放置しておいてもよい。

【0042】次に、図1(e)に示すように、例えばCMP法等を用いて、配線用溝109の外側の第2のバリアメタル膜110及び配線用銅膜113を除去して、配線用銅膜113からなるビア114及び第2の配線115を形成する。これにより、ビア114を介して第1の配線103と第2の配線115とが接続される。

【0043】その後、図示は省略しているが、必要に応じて、図1(a)～(e)に示す工程（但し、図1(a)に示す工程については第1のシリコン窒化膜104を堆積する工程以降）を繰り返すことにより、所望の多層配線構造を形成する。

【0044】以上に説明したように、第1の実施形態によると、ビアホール108及び配線用溝109のそれぞれの底部及び壁面に、Ruつまり「酸化されても導電性を失わない金属」からなる第2のバリアメタル膜110と、銅シード層111とを順次堆積した後、電解メッキ法により銅シード層111上に銅メッキ膜112をビアホール108及び配線用溝109のそれぞれが完全に埋まるように成長させ、その後、銅シード層111と銅メッキ膜112とが一体化した配線用銅膜113からなるビア114及び第2の配線115を形成する。このため、ビアホール108又は配線用溝109の壁面に第2のバリアメタル膜110及び銅シード層111を順次堆積したときに、銅シード層111のカバレッジが悪いことに起因して第2のバリアメタル膜110に露出部分が生じても、該露出部分が酸化によって導電性を失うことがない。従って、埋め込み不良の発生を防止しつつ、電解メッキ法によりビアホール108又は配線用溝109における銅シード層111の上又は第2のバリアメタル膜110の上に銅メッキ膜112を形成することができる。すなわち、ビアホール108又は配線用溝109に対する銅メッキ膜112の埋め込みマージンが拡大する。

【0045】尚、第1の実施形態において、第2のバリアメタル膜110の材料として、Ruを用いたが、これに代えて、他の「酸化されても導電性を失わない金

特開2002-75994

10

属」、例えばIr（比抵抗 $6.5\mu\Omega\cdot\text{cm}$ ：Irの酸化物であるIrO₂の比抵抗は $30\mu\Omega\cdot\text{cm}$ 程度）、又はRu若しくはIrを含む合金等を用いてもよい。

【0046】また、第1の実施形態において、第1の配線103、銅シード層111又は銅メッキ膜112の材料として純銅を用いたが、これに代えて、銅合金を用いてもよい。

【0047】また、第1の実施形態において、第1のバリアメタル膜102としてTa膜を用いたが、これに代えて、TaN膜、Ti膜又はTiN膜等を用いてもよい。

【0048】また、第1の実施形態において、第1の絶縁膜101、第2の絶縁膜105、又は第3の絶縁膜107として、SiO₂膜、塗布膜、又はCを含む誘電率の低いCVD膜等を用いてもよい。

【0049】また、第1の実施形態において、ビアホール108と配線用溝109とを同時に導電膜により埋め込むデュアルダマシン法を用いたが、これに代えて、ビアホール108と配線用溝109とを別々に形成すると共に別々に導電膜により埋め込んでもよい。

【0050】また、第1の実施形態において、Ta膜からなる第1のバリアメタル膜102を含めた第1の配線103の抵抗を低減するために、第1のバリアメタル膜102の下側にTa膜以外の他の金属膜を設けてよい。

【0051】また、第1の実施形態において、Ru膜からなる第2のバリアメタル膜110を含めたビア114又は第2の配線115の抵抗を低減するために、第2のバリアメタル膜110の下側にRu膜以外の他の金属膜を設けてよい。

【0052】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体装置及びその製造方法について、図2(a)～(e)を参照しながら説明する。

【0053】まず、第1の実施形態の図1(a)に示す工程と同じく図2(a)に示すように、半導体基板200上の第1の絶縁膜201中に例えばTa膜からなる第1のバリアメタル膜202を介して例えば銅膜からなる第1の配線203を埋め込む。その後、半導体基板200の上に第1のシリコン窒化膜204、第2の絶縁膜205、第2のシリコン窒化膜206、及び第3の絶縁膜207を順次堆積した後、第1のシリコン窒化膜204、第2の絶縁膜205及び第2のシリコン窒化膜206に、第1の配線203に達する深さ約500nmのビアホール208を形成すると共に、第3の絶縁膜207に、ビアホール208を介して第1の配線203に達する深さ約300nmの配線用溝209を形成する。このとき、第1のバリアメタル膜202又は第1のシリコン窒化膜204は、第2の絶縁膜205又は第2のシリコン窒化膜206等を堆積するときの400°C程度の熱処理（例えばプラズマCVD法等）により、第1の配線2

03を構成する銅原子が第1の絶縁膜201又は第2の絶縁膜205等の内部に拡散する事態を防止する。すなわち、第1のバリアメタル膜202又は第1のシリコン窒化膜204は、銅原子の拡散に対するバリア性を有している。

【0054】次に、図2(b)に示すように、例えば酸素(O₂)雰囲気中でRuターゲットに対してスパッタを行なう反応性スパッタ法により、半導体基板100の上に膜厚25nmのRuO₂膜からなる第2のバリアメタル膜210を堆積した後、例えばスパッタ法により第2のバリアメタル膜210の上に膜厚150nmの銅膜からなる銅シード層211を堆積する。これにより、ビアホール208及び配線用溝209のそれぞれの底部及び壁面が第2のバリアメタル膜210及び銅シード層211により覆われる。

【0055】次に、半導体基板200をスパッタ装置から取り出してメッキ装置に搬入する。このとき、銅シード層211のカバレッジが悪いことに起因して第2のバリアメタル膜210に露出部分があると、該露出部分が空気にさらされる。しかし、第2のバリアメタル膜210を構成するRuO₂(比抵抗は35μΩ·cm)は元々導電性を有する金属酸化物であるので、さらに酸化されて導電性を失うことはない。

【0056】その後、図2(c)に示すように、電解メッキ法により銅シード層211の上に膜厚500nmの銅メッキ膜212を、ビアホール208及び配線用溝209のそれぞれが完全に埋まるように成長させる。具体的には、半導体基板200をCuSO₄及びH₂SO₄等を含むメッキ液に浸漬した後、半導体基板200が負電位となるように電解メッキ法を実施する。このとき、ビアホール208の壁面上等で銅シード層211により第2のバリアメタル膜210が覆われていない場合にも、第2のバリアメタル膜210が酸化によって導電性を失うことがないので、銅メッキ膜212によりビアホール208及び配線用溝209のそれを確実に埋め込むことができる。

【0057】次に、半導体基板200をメッキ装置から取り出した後、銅メッキ膜212の結晶粒を成長させるために銅メッキ膜212に対して熱処理(例えば100°C程度の温度下で2時間程度)を行なう。これにより、図2(d)に示すように、銅シード層211と銅メッキ膜212とが一体化して配線用銅膜213が形成される。尚、銅メッキ膜212に対して前述の熱処理を行なう代わりに、半導体基板200を室温下で2日間程放置しておいてもよい。

【0058】次に、図2(e)に示すように、例えばCVD法等を用いて、配線用溝209の外側の第2のバリアメタル膜210及び配線用銅膜213を除去して、配線用銅膜213からなるビア214及び第2の配線215を形成する。これにより、ビア214を介して第1の

配線203と第2の配線215とが接続される。

【0059】その後、図示は省略しているが、必要に応じて、図2(a)～(e)に示す工程(但し、図2(a)に示す工程については第1のシリコン窒化膜204を堆積する工程以降)を繰り返すことにより、所望の多層配線構造を形成する。

【0060】以上に説明したように、第2の実施形態によると、ビアホール208及び配線用溝209のそれぞれの底部及び壁面に、RuO₂つまり「導電性を有する金属酸化物」からなる第2のバリアメタル膜210と、銅シード層211とを順次堆積した後、電解メッキ法により銅シード層211上に銅メッキ膜212をビアホール208及び配線用溝209のそれぞれが完全に埋まるよう成長させ、その後、銅シード層211と銅メッキ膜212とが一体化した配線用銅膜213からなるビア214及び第2の配線215を形成する。このため、ビアホール208又は配線用溝209の壁面に第2のバリアメタル膜210及び銅シード層211を順次堆積したときに、銅シード層211のカバレッジが悪いことに起因して第2のバリアメタル膜210に露出部分が生じても、該露出部分が酸化によって導電性を失うことがない。従って、埋め込み不良の発生を防止しつつ、電解メッキ法によりビアホール208又は配線用溝209における銅シード層211の上又は第2のバリアメタル膜210の上に銅メッキ膜212を形成することができる。

【0061】尚、第2の実施形態において、第2のバリアメタル膜210の材料として、RuO₂を用いたが、これに代えて、他の「導電性を有する金属酸化物」、例えばIrO₂(比抵抗30μΩ·cm程度)、Ru若しくはIrを含む合金の酸化物、YBCO(YBa₂Cu₃O_{7-x})等の超伝導酸化物、又はLa_{0.8}Sr_{0.2}MnO₃等の化合物等を用いてもよい。

【0062】また、第2の実施形態において、第1の配線203、銅シード層211又は銅メッキ膜212の材料として純銅を用いたが、これに代えて、銅合金を用いてもよい。

【0063】また、第2の実施形態において、第1のバリアメタル膜202としてTa膜を用いたが、これに代えて、TaN膜、Ti膜又はTiN膜等を用いてもよい。

【0064】また、第2の実施形態において、第1の絶縁膜201、第2の絶縁膜205、又は第3の絶縁膜207として、SiO₂膜、塗布膜、又はCを含む誘電率の低いCVD膜等を用いてもよい。

【0065】また、第2の実施形態において、ビアホール208と配線用溝209とを同時に導電膜により埋め込むデュアルダマシン法を用いたが、これに代えて、ビアホール208と配線用溝209とを別々に形成すると

共に別々に導電膜により埋め込んでもよい。

【0066】また、第2の実施形態において、Ta膜からなる第1のバリアメタル膜202を含めた第1の配線203の抵抗を低減するために、第1のバリアメタル膜202の下側にTa膜以外の他の金属膜を設けてよい。

【0067】また、第2の実施形態において、RuO₂膜からなる第2のバリアメタル膜210を含めたビア214又は第2の配線215の抵抗を低減するために、第2のバリアメタル膜210の下側にRuO₂膜以外の他の金属膜を設けてよい。

【0068】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体装置及びその製造方法について、図3(a)～(d)を参照しながら説明する。

【0069】まず、第1の実施形態の図1(a)に示す工程と同じく図3(a)に示すように、半導体基板300上の第1の絶縁膜301中に例えばTa膜からなる第1のバリアメタル膜302を介して例えば銅膜からなる第1の配線303を埋め込む。その後、半導体基板300の上に第1のシリコン窒化膜304、第2の絶縁膜305、第2のシリコン窒化膜306、及び第3の絶縁膜307を順次堆積した後、第1のシリコン窒化膜304、第2の絶縁膜305及び第2のシリコン窒化膜306に、第1の配線303に達する深さ約500nmのビアホール308を形成すると共に、第3の絶縁膜307に、ビアホール308を介して第1の配線303に達する深さ約300nmの配線用溝309を形成する。このとき、第1のバリアメタル膜302又は第1のシリコン窒化膜304は、第2の絶縁膜305又は第2のシリコン窒化膜306等を堆積するときの400°C程度の熱処理(例えばプラズマCVD法等)により、第1の配線303を構成する銅原子が第1の絶縁膜301又は第2の絶縁膜305等の内部に拡散する事態を防止する。すなわち、第1のバリアメタル膜302又は第1のシリコン窒化膜304は、銅原子の拡散に対するバリア性を有している。

【0070】次に、図3(b)に示すように、例えばスパッタ法により半導体基板300の上に膜厚25nmのRu膜からなる第2のバリアメタル膜310を堆積する。これにより、ビアホール308及び配線用溝309のそれぞれの底部及び壁面が第2のバリアメタル膜310により覆われる。その後、例えばスパッタ法により第2のバリアメタル膜310の上に膜厚600nmの配線用銅膜311を堆積する。このとき、図3(b)に示すように、スパッタ法の指向性に起因して、配線用銅膜311によりビアホール308又は配線用溝309を埋め込むことはできない。

【0071】次に、図3(c)に示すように、例えば酸化還元リフロー法を用いて、酸化還元性雰囲気中で配線用銅膜311に対して酸化及び還元を繰り返し行ない、

それにより生じる反応熱によって配線用銅膜311を流动させてビアホール308及び配線用溝309を埋め込む。尚、配線用銅膜311に対して酸化を行なうときに第2のバリアメタル膜310も酸化される。しかし、第2のバリアメタル膜310を構成するRuの比抵抗が7.5μΩ·cmであるのに対して、Ruの酸化物であるRuO₂の比抵抗は35μΩ·cmであるので、第2のバリアメタル膜310は酸化されても導電性を失わない。

10 【0072】次に、図3(d)に示すように、例えばCMP法等を用いて、配線用溝309の外側の第2のバリアメタル膜310及び配線用銅膜311を除去して、配線用銅膜311からなるビア312及び第2の配線313を形成する。これにより、ビア312を介して第1の配線303と第2の配線313とが接続される。

【0073】その後、図示は省略しているが、必要に応じて、図3(a)～(d)に示す工程(但し、図3(a)に示す工程については第1のシリコン窒化膜304を堆積する工程以降)を繰り返すことにより、所望の多層配線構造を形成する。

【0074】以上に説明したように、第3の実施形態によると、ビアホール308及び配線用溝309のそれぞれの底部及び壁面に、Ruつまり「酸化されても導電性を失わない金属」からなる第2のバリアメタル膜310を堆積した後、第2のバリアメタル膜310上に配線用銅膜311をビアホール308及び配線用溝309のそれぞれが完全に埋まるように形成することによってビア312及び第2の配線313を形成する。このため、ビアホール308又は配線用溝309の壁面に第2のバリアメタル膜310を堆積した後に、例えば酸化性雰囲気中で第2のバリアメタル膜310の上に配線用銅膜311を形成するときにも、第2のバリアメタル膜310が酸化によって導電性を失うことがない。従って、第2のバリアメタル膜310の酸化に起因して、第2のバリアメタル膜310を含めたビア312又は第2の配線313の抵抗が増大する事態を防止できる。

【0075】尚、第3の実施形態において、第2のバリアメタル膜310の材料としてRuを用いたが、これに代えて、他の「酸化されても導電性を失わない金属」、例えばIr、又はRu若しくはIrを含む合金等を用いてよい。或いは、「酸化されても導電性を失わない金属」に代えて、「導電性を有する金属酸化物」、例えばRuO₂、IrO₂、Ru若しくはIrを含む合金の酸化物、YBCO等の超伝導酸化物、又はLa_{0.8}Sr_{0.2}MnO₃等の化合物等を用いてよい。

【0076】また、第3の実施形態において、第1の配線303又は配線用銅膜311の材料として純銅を用いたが、これに代えて、銅合金を用いてよい。

【0077】また、第3の実施形態において、第1のバリアメタル膜302としてTa膜を用いたが、これに代

(9)

15

えて、TaN膜、Ti膜又はTiN膜等を用いてもよい。

【0078】また、第3の実施形態において、第1の絶縁膜301、第2の絶縁膜305、又は第3の絶縁膜307として、SiO₂膜、塗布膜、又はCを含む誘電率の低いCVD膜等を用いてもよい。

【0079】また、第3の実施形態において、配線用銅膜311を形成するためにスパッタリフロー法を用いたが、これに代えて、CVD法、無電解メッキ法、イオンプレーティング法、又はCVD+高温スパッタ法(CVD法により薄い銅膜を堆積した後に高温スパッタ法により薄い銅膜の上に厚い銅膜を堆積する方法)等を用いてもよい。また、スパッタリフロー法のうちのリフロー法として、酸化還元リフロー法を用いたが、これに代えて、他のリフロー法を用いてもよい。

【0080】また、第3の実施形態において、ビアホール308と配線用溝309とを同時に導電膜により埋め込むデュアルダマシン法を用いたが、これに代えて、ビアホール308と配線用溝309とを別々に形成すると共に別々に導電膜により埋め込んでもよい。

【0081】また、第3の実施形態において、Ta膜からなる第1のバリアメタル膜302を含めた第1の配線303の抵抗を低減するために、第1のバリアメタル膜302の下側にTa膜以外の他の金属膜を設けてもよい。

【0082】また、第3の実施形態において、Ru膜からなる第2のバリアメタル膜310を含めたビア312又は第2の配線313の抵抗を低減するために、第2のバリアメタル膜310の下側にRu膜以外の他の金属膜を設けてもよい。

【0083】(第4の実施形態)以下、本発明の第4の実施形態に係る半導体装置及びその製造方法について、図4(a)～(e)及び図5(a)～(d)を参照しながら説明する。

【0084】まず、図4(a)に示すように、例えばスパッタ法により、半導体基板400上の第1の絶縁膜401の上に膜厚10nmのRu膜からなる第1のバリアメタル膜402を堆積した後、例えばスパッタ法により第1のバリアメタル膜402の上に膜厚100nmの銅膜からなる銅シード層403を堆積する。

【0085】次に、半導体基板400をスパッタ装置から取り出してメッキ装置に搬入する。このとき、銅シード層403のカバレッジが悪いことに起因して第1のバリアメタル膜402に露出部分があると、該露出部分が空気にさらされて酸化する。しかし、第1のバリアメタル膜402を構成するRuの比抵抗が7.5μΩ·cmであるのに対して、Ruの酸化物であるRuO₂の比抵抗は35μΩ·cmであるので、第1のバリアメタル膜402は酸化されても導電性を失わない。

【0086】その後、図4(a)に示すように、電解メ

特開2002-75994

16

ッキ法により銅シード層403の上に膜厚500nmの銅メッキ膜404を成長させる。具体的には、半導体基板400をCuSO₄及びH₂SO₄等を含むメッキ液に浸漬した後、半導体基板400が負電位となるように電解メッキ法を実施する。尚、図示は省略しているが、第1の絶縁膜401にコンタクトホール又はビアホール等の凹部が形成されている場合には、該凹部を、第1のバリアメタル膜402及び銅シード層403を介して銅メッキ膜404により埋め込む。

【0087】次に、半導体基板400をメッキ装置から取り出した後、銅メッキ膜404の結晶粒を成長させるために銅メッキ膜404に対して熱処理(例えば100°C程度の温度下で2時間程度)を行なう。これにより、図4(b)に示すように、銅シード層403と銅メッキ膜404とが一体化して第1の配線用銅膜405が形成される。尚、銅メッキ膜404に対して前述の熱処理を行なう代わりに、半導体基板400を室温下で2日間程放置してもよい。

【0088】その後、図4(b)に示すように、第1の配線用銅膜405の上に第1の配線形成領域を覆う第1のレジストパターン406を形成する。

【0089】次に、第1のレジストパターン406をマスクとして、第1の配線用銅膜405及び第1のバリアメタル膜402に対して順次エッチングを行なって、図4(c)に示すように、第1の絶縁膜401の上に第1のバリアメタル膜402を介して第1の配線407を形成する。

【0090】次に、図4(d)に示すように、第1の配線407の上を含む第1の絶縁膜401の上に、シリコン窒化膜408及び第2の絶縁膜409を順次堆積する。これにより、第1の配線407の上面及び側面はシリコン窒化膜408を介して第2の絶縁膜409により覆われる。このとき、第1のバリアメタル膜402又はシリコン窒化膜408は、第2の絶縁膜409等を堆積するときの400°C程度の熱処理(例えばプラズマCVD法等)により、第1の配線407を構成する銅原子が第1の絶縁膜401又は第2の絶縁膜409等の内部に拡散する事態を防止する。すなわち、第1のバリアメタル膜402又はシリコン窒化膜408は、銅原子の拡散に対するバリア性を有している。

【0091】次に、図4(e)に示すように、シリコン窒化膜408及び第2の絶縁膜409に、第1の配線407に達する深さ約500nmのビアホール410を形成する。

【0092】次に、図5(a)に示すように、例えばスパッタ法により、ビアホール410を含む第2の絶縁膜409の上に膜厚25nmのRu膜からなる第2のバリアメタル膜411を堆積する。これにより、ビアホール410の底部及び壁面が第2のバリアメタル膜411により覆われる。

50

(10)

17

【0093】その後、例えばスパッタ法により第2のバリアメタル膜411の上に膜厚600nmの第2の配線用銅膜412を堆積する。このとき、図5(a)に示すように、スパッタ法の指向性に起因して、第2の配線用銅膜412によりビアホール410を埋め込むことはできない。

【0094】次に、図5(b)に示すように、例えば酸化還元リフロー法を用いて、酸化還元性雰囲気中で第2の配線用銅膜412に対して酸化及び還元を繰り返し行ない、それにより生じる反応熱によって第2の配線用銅膜412を流動させてビアホール410を埋め込む。尚、第2の配線用銅膜412に対して酸化を行なうときに第2のバリアメタル膜411も酸化される。しかし、第2のバリアメタル膜411を構成するRuの比抵抗が7.5μΩ·cmであるのに対して、Ruの酸化物であるRuO₂の比抵抗は35μΩ·cmであるので、第2のバリアメタル膜411は酸化されても導電性を失わない。

【0095】次に、図5(c)に示すように、第2の配線用銅膜412の上に第2の配線形成領域を覆う第2のレジストパターン413を形成した後、第2のレジストパターン413をマスクとして、第2の配線用銅膜412及び第2のバリアメタル膜411に対して順次エッチングを行なって、図5(d)に示すように、第2の配線用銅膜412からなるビア414及び第2の配線415を形成する。これにより、ビア414を介して第1の配線407と第2の配線415とが接続される。

【0096】その後、図示は省略しているが、必要に応じて、図4(d)、(e)及び図5(a)～(d)に示す工程を繰り返すことにより、所望の多層配線構造を形成する。

【0097】以上に説明したように、第4の実施形態によると、第1の絶縁膜401の上に、Ruつまり「酸化されても導電性を失わない金属」からなる第1のバリアメタル膜402と、銅シード層403とを順次堆積した後、電解メッキ法により銅シード層403上に銅メッキ膜404を成長させ、その後、銅シード層403と銅メッキ膜404とが一体化した第1の配線用銅膜405に対してエッチングを行なって第1の配線407を形成する。このため、第1の絶縁膜401の上に第1のバリアメタル膜402及び銅シード層403を順次堆積したときに、銅シード層403のカバレッジが悪いことに起因して第1のバリアメタル膜402に露出部分が生じても、該露出部分が酸化によって導電性を失うことがない。従って、第1のバリアメタル膜402の酸化に起因して、第1のバリアメタル膜402を含めた第1の配線407の抵抗が増大する事態を回避できる。

【0098】また、第4の実施形態によると、ビアホール410を含む第2の絶縁膜409の上に、Ruつまり「酸化されても導電性を失わない金属」からなる第2の

特開2002-75994

18

バリアメタル膜411を堆積した後、第2のバリアメタル膜411上に第2の配線用銅膜412をビアホール410が完全に埋まるように形成し、その後、第2の配線用銅膜412に対してエッチングを行なってビア414及び第2の配線415を形成する。このため、第2の絶縁膜409上に第2のバリアメタル膜411を堆積した後に、例えば酸化性雰囲気中で第2のバリアメタル膜411の上に第2の配線用銅膜412を形成するときにも、第2のバリアメタル膜411が酸化によって導電性を失うことがない。従って、第2のバリアメタル膜411の酸化に起因して、第2のバリアメタル膜411を含めたビア414又は第2の配線415の抵抗が増大する事態を防止できる。

【0099】尚、第4の実施形態において、第1のバリアメタル膜402又は第2のバリアメタル膜411の材料としてRuを用いたが、これに代えて、他の「酸化されても導電性を失わない金属」、例えばIr、又はRu若しくはIrを含む合金等を用いてもよい。或いは、「酸化されても導電性を失わない金属」に代えて、「導電性を有する金属酸化物」、例えばRuO₂、IrO₂、Ru若しくはIrを含む合金の酸化物、YBCO等の超伝導酸化物、又はLa_{0.8}Sr_{0.2}MnO₃等の化合物等を用いてもよい。

【0100】また、第4の実施形態において、銅シード層403、銅メッキ膜404又は第2の配線用銅膜412の材料として純銅を用いたが、これに代えて、銅合金を用いてもよい。

【0101】また、第4の実施形態において、第1の絶縁膜401又は第2の絶縁膜409として、SiO₂膜、塗布膜、又はCを含む誘電率の低いCVD膜等を用いてもよい。

【0102】また、第4の実施形態において、第2の配線用銅膜412を形成するためにスパッタ+リフロー法を用いたが、これに代えて、CVD法、無電解メッキ法、イオンプレーティング法、又はCVD+高温スパッタ法等を用いてもよい。また、スパッタ+リフロー法のうちのリフロー法として、酸化還元リフロー法を用いたが、これに代えて、他のリフロー法を用いてもよい。

【0103】また、第4の実施形態において、Ru膜からなる第1のバリアメタル膜402を含めた第1の配線407の抵抗を低減するために、第1のバリアメタル膜402の下側にRu膜以外の他の金属膜を設けてよい。

【0104】また、第4の実施形態において、Ru膜からなる第2のバリアメタル膜411を含めたビア414又は第2の配線415の抵抗を低減するために、第2のバリアメタル膜411の下側にRu膜以外の他の金属膜を設けてよい。

【0105】

【発明の効果】本発明によると、凹部の壁面にバリアメ

(11)

19

タル膜及びシード層を順次堆積したときに、シード層のカバレッジが悪いことに起因してバリアメタル膜に露出部分が生じても、該露出部分が酸化によって導電性を失うことがないので、埋め込み不良の発生を防止しつつ、電解メッキ法により凹部におけるシード層の上又はバリアメタル膜の上に導電膜を形成することができる。

【0106】また、本発明によると、例えば酸化性雰囲気中でバリアメタル膜の上に配線用導電膜を形成するときにも、バリアメタル膜が酸化によって導電性を失うことがないので、バリアメタル膜の酸化に起因して配線抵抗が増大する事態を防止できる。

【図面の簡単な説明】

【図1】(a)～(e)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】(a)～(e)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図3】(a)～(d)は本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】(a)～(e)は本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】(a)～(d)は本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】(a)～(e)は従来の半導体装置の製造方法の各工程を示す断面図である。

【図7】(a)、(b)は従来の半導体装置の製造方法における問題点を説明するための図である。

【符号の説明】

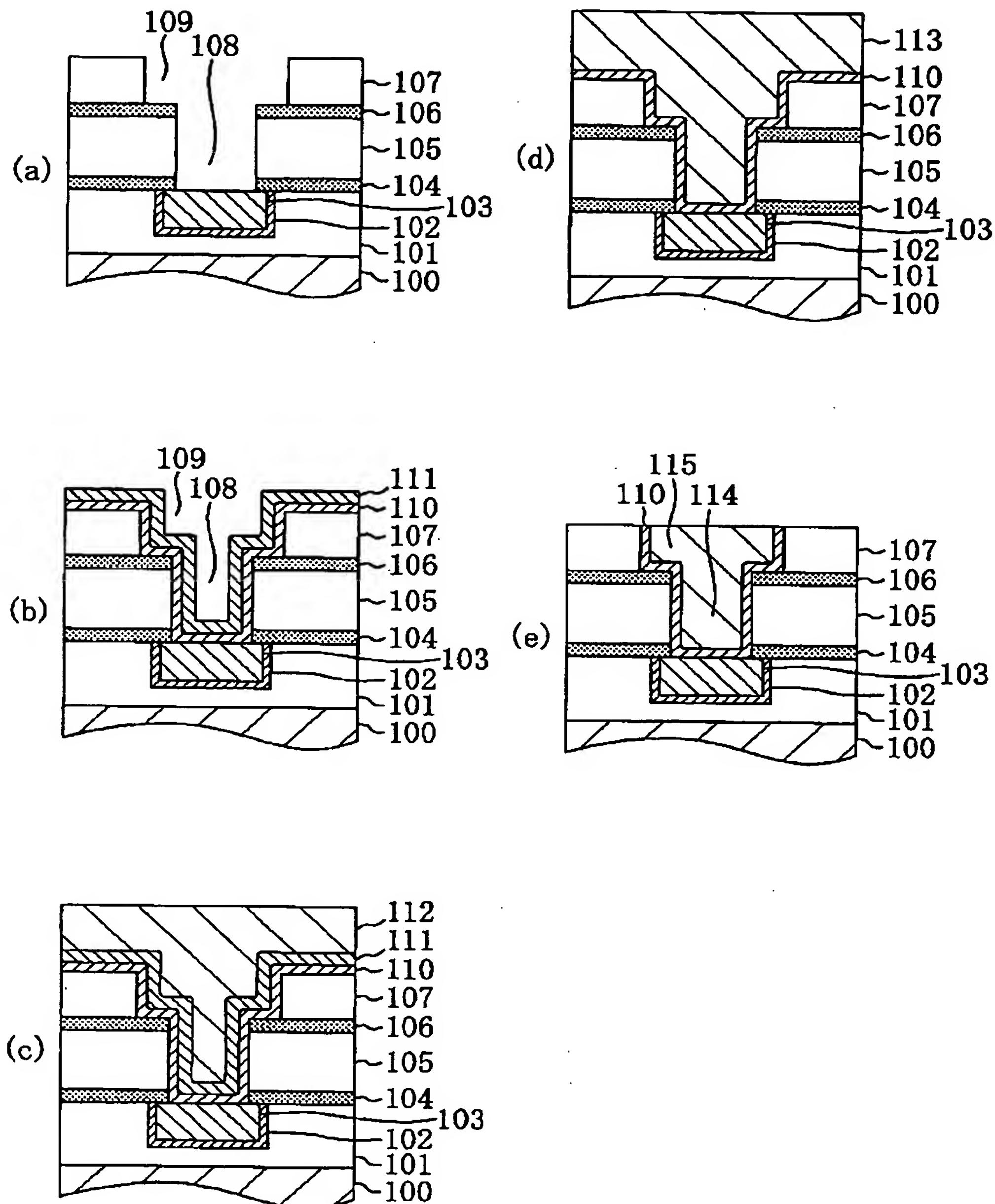
- 100 半導体基板
- 101 第1の絶縁膜
- 102 第1のバリアメタル膜
- 103 第1の配線
- 104 第1のシリコン窒化膜
- 105 第2の絶縁膜
- 106 第2のシリコン窒化膜
- 107 第3の絶縁膜
- 108 ビアホール
- 109 配線用溝
- 110 第2のバリアメタル膜
- 111 銅シード層
- 112 銅メッキ膜
- 113 配線用銅膜
- 114 ビア
- 115 第2の配線
- 200 半導体基板
- 201 第1の絶縁膜

特開2002-75994

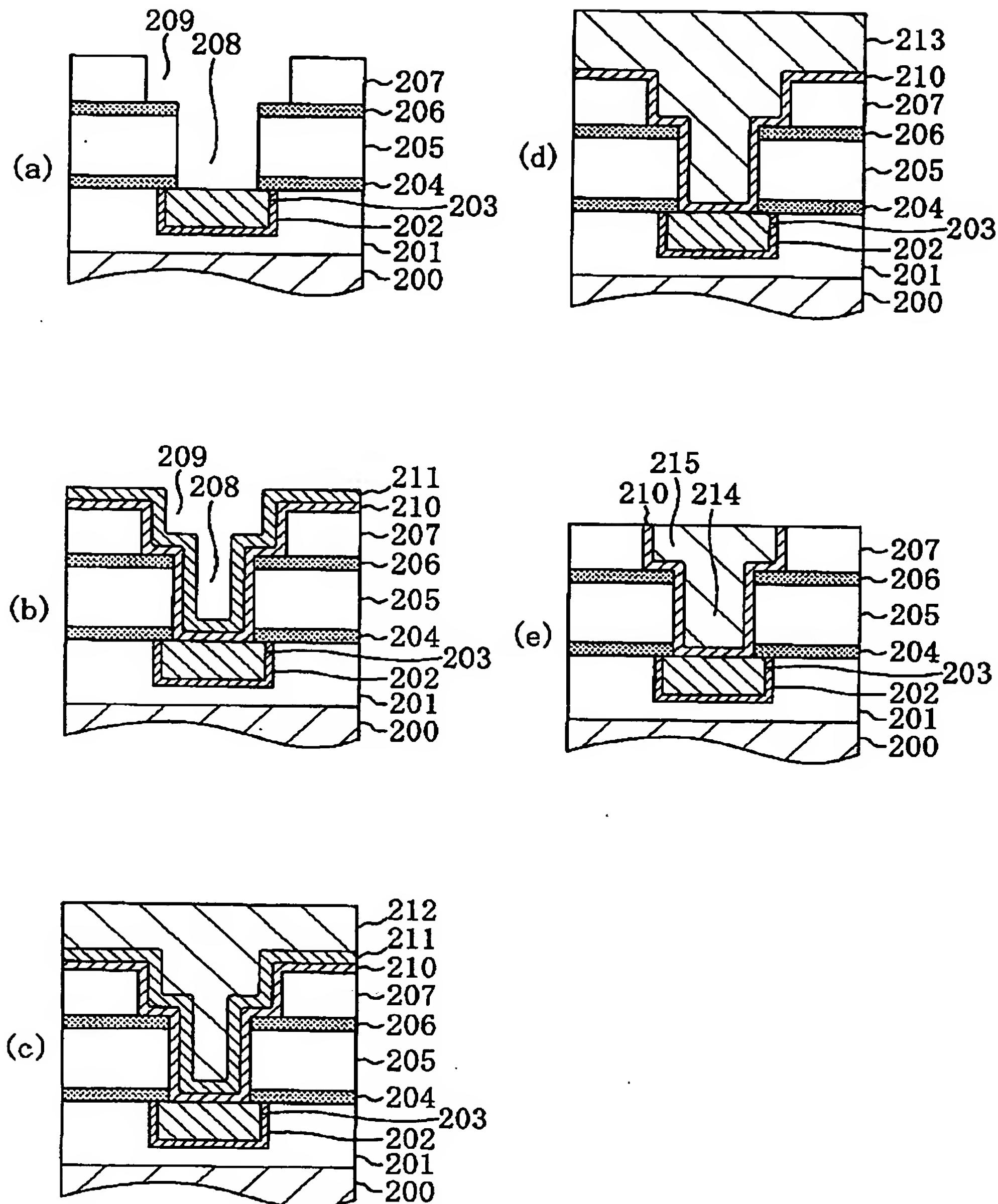
20

- 202 第1のバリアメタル膜
- 203 第1の配線
- 204 第1のシリコン窒化膜
- 205 第2の絶縁膜
- 206 第2のシリコン窒化膜
- 207 第3の絶縁膜
- 208 ビアホール
- 209 配線用溝
- 210 第2のバリアメタル膜
- 211 銅シード層
- 212 銅メッキ膜
- 213 配線用銅膜
- 214 ビア
- 215 第2の配線
- 300 半導体基板
- 301 第1の絶縁膜
- 302 第1のバリアメタル膜
- 303 第1の配線
- 304 第1のシリコン窒化膜
- 305 第2の絶縁膜
- 306 第2のシリコン窒化膜
- 307 第3の絶縁膜
- 308 ビアホール
- 309 配線用溝
- 310 第2のバリアメタル膜
- 311 配線用銅膜
- 312 ビア
- 313 配線
- 400 半導体基板
- 401 第1の絶縁膜
- 402 第1のバリアメタル膜
- 403 銅シード層
- 404 銅メッキ膜
- 405 第1の配線用銅膜
- 406 第1のレジストパターン
- 407 第1の配線
- 408 シリコン窒化膜
- 409 第2の絶縁膜
- 410 ビアホール
- 411 第2のバリアメタル膜
- 412 第2の配線用銅膜
- 413 第2のレジストパターン
- 414 ビア
- 415 第2の配線

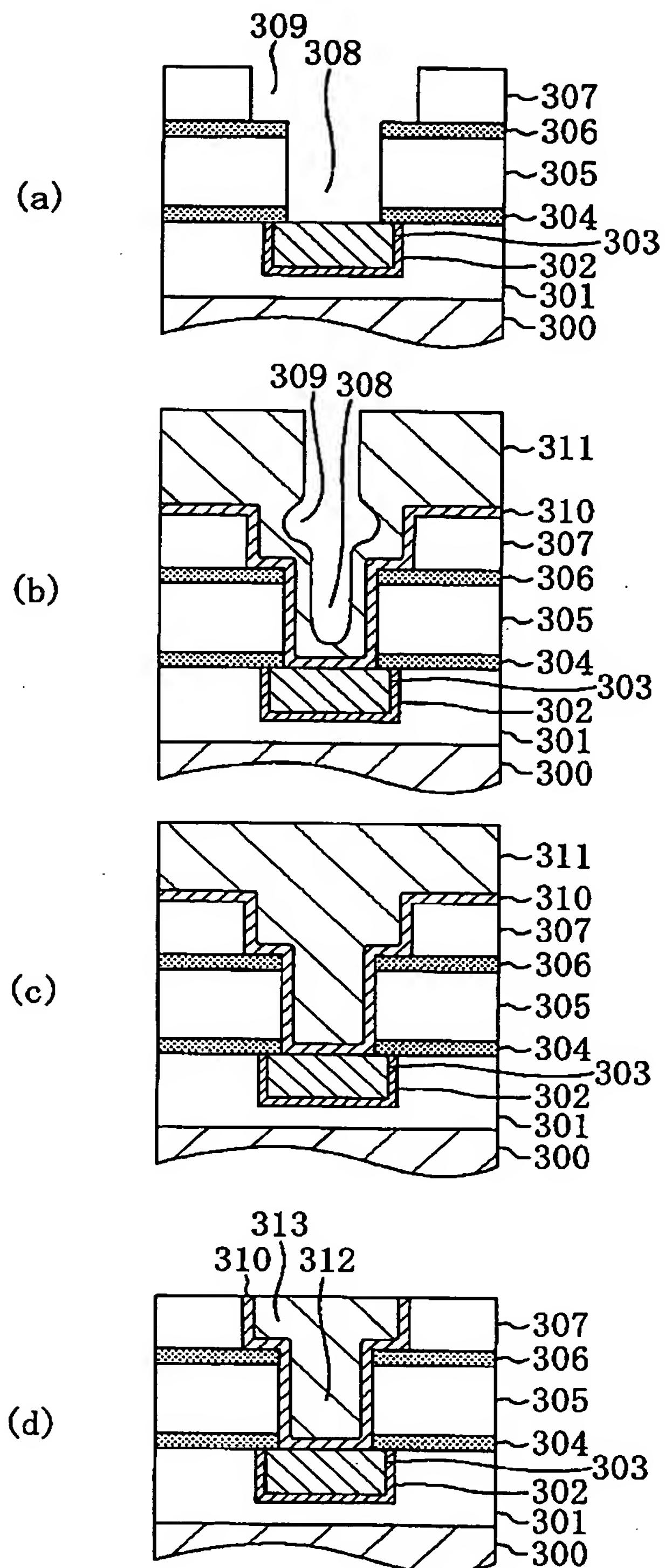
【図1】



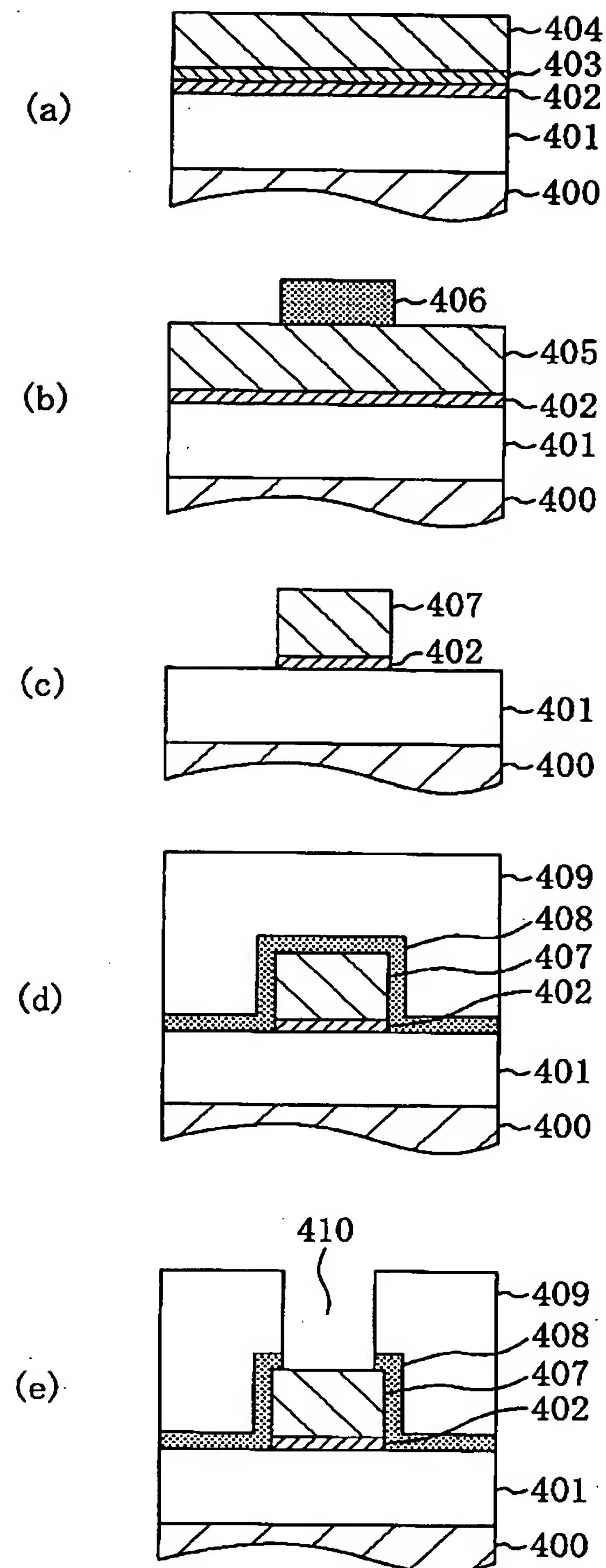
【図2】



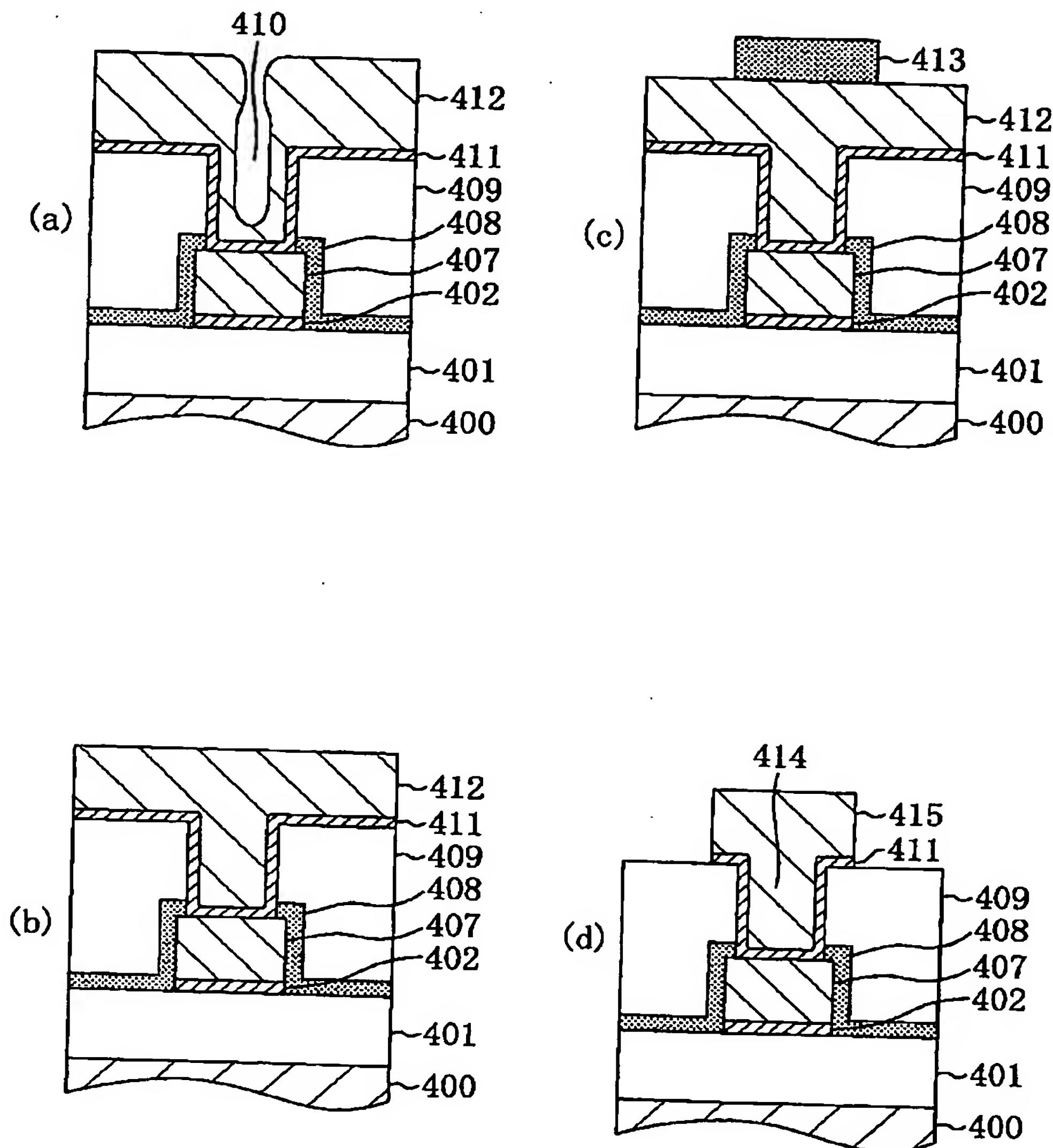
【図3】



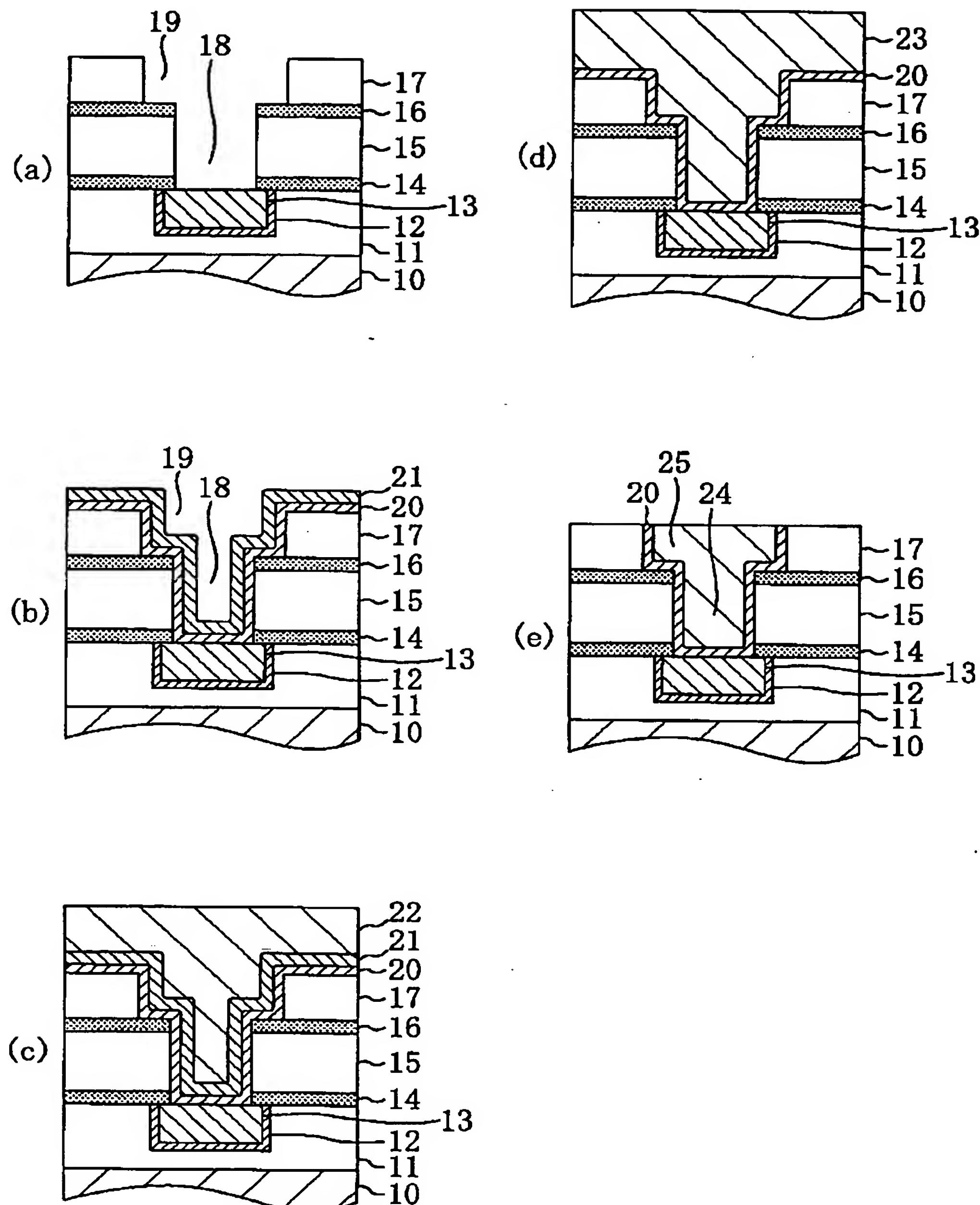
【図4】



【図5】

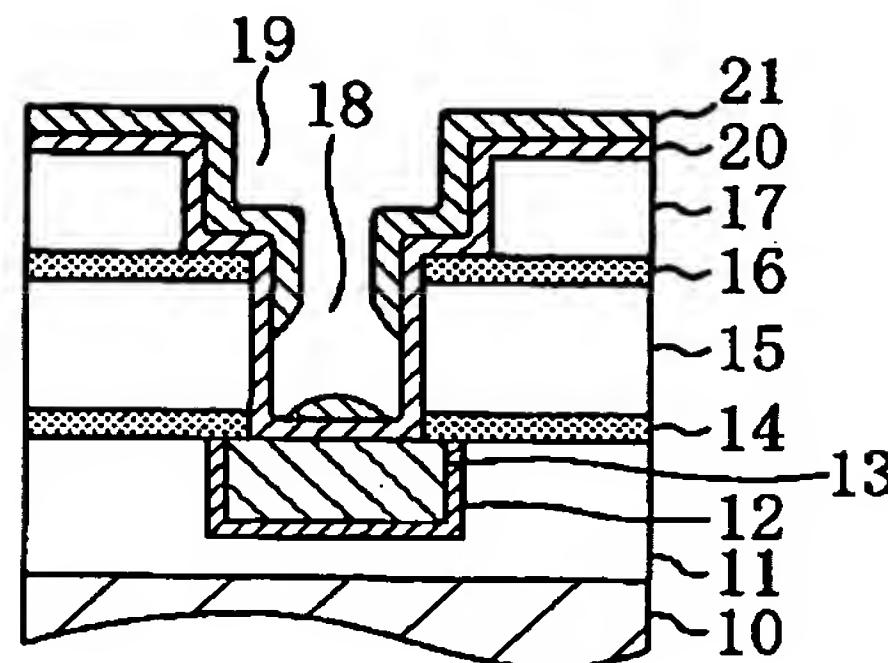


【図6】

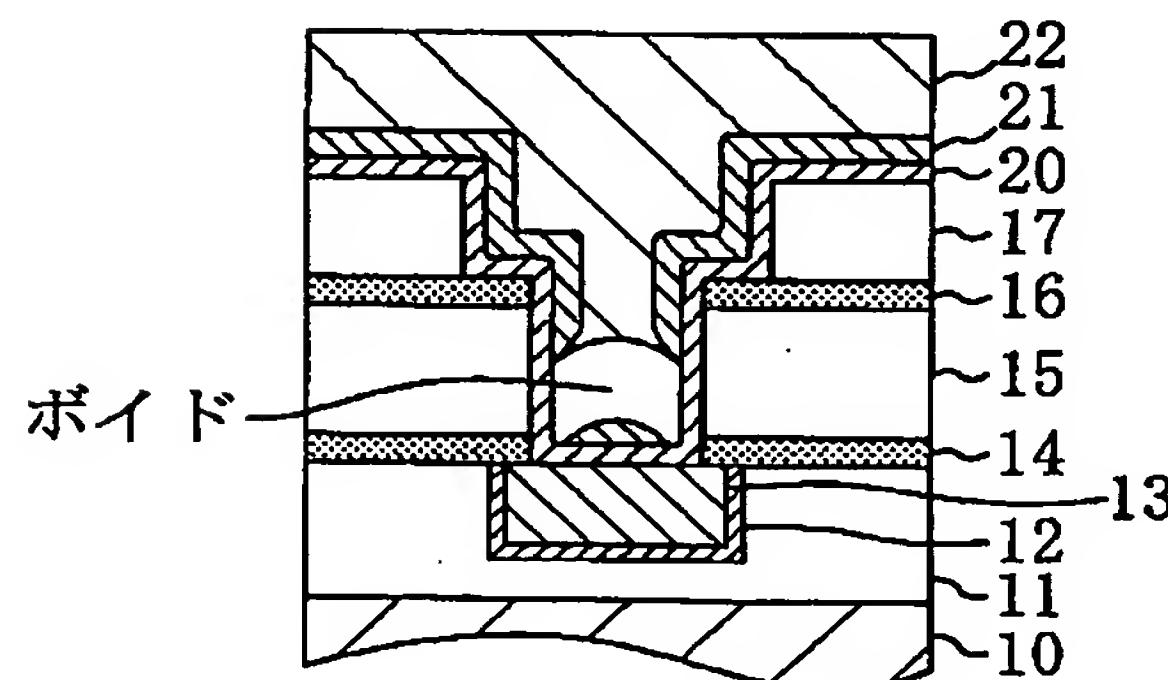


【図7】

(a)



(b)



フロントページの続き

F ターム(参考) 5F033 HH07 HH11 HH12 HH35 JJ01
JJ07 JJ11 JJ12 JJ35 KK07
KK11 KK12 KK18 KK21 KK32
KK33 KK35 MM01 MM02 MM05
MM12 MM13 NN06 NN07 PP15
PP16 PP27 QQ08 QQ37 QQ48
QQ73 QQ75 QQ76 RR04 RR06
RR09 RR12 SS11 SS21 XX02
XX09

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.